

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平1-154251

⑬ Int. Cl.⁴ 識別記号 庁内整理番号 ⑭ 公開 平成1年(1989)6月16日
G 06 F 11/26 3 1 0 7368-5B
15/20 D-7230-5B
15/60 3 6 0 6615-5B 審査請求 未請求 発明の数 1 (全6頁)

⑮ 発明の名称 論理回路シュミレータ

⑯ 特 願 昭62-314719

⑰ 出 願 昭62(1987)12月10日

⑱ 発 明 者 藤 田 昌 宏 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲ 出 願 人 富 士 通 株 式 会 社 神奈川県川崎市中原区上小田中1015番地

⑳ 代 理 人 弁 理 士 井 桁 貞 一

明 細 書

1. 発明の名称

論理回路シュミレータ

2. 特許請求の範囲

論理回路をシュミレーションする論理回路シュミレータにおいて、

複数のプログラマブル・ロジック・デバイス(以下PLDという)を格子状に配置すると共にこれらPLDを相互に接続し、

与えられ論理回路を複数に分割し、この分割した論理回路と等価となるように上記PLDをプログラムした後、入力端からデータを入力しつつクロックを供給して出力端に生成されるデータの評価して与えられた論理回路をシュミレーションするように構成したことを特徴とする論理回路シュミレータ。

3. 発明の詳細な説明

(概要)

論理回路をシュミレーションする論理回路シュミレータに関し、

複数のプログラマブル・ロジック・デバイスを格子状に配置して高速にシュミレーションを行うことを目的とし、

複数のプログラマブル・ロジック・デバイス(以下PLDという)を格子状に配置すると共にこれらPLDを相互に接続し、与えられ論理回路を複数に分割し、この分割した論理回路と等価となるように上記PLDをプログラムした後、入力端からデータを入力しつつクロックを供給して出力端に生成されたデータの評価して与えられた論理回路のシュミレーションするように構成する。

(産業上の利用分野)

本発明は、論理回路を高速にシュミレーションする論理回路シュミレータに関するものである。

(従来の技術)

デジタルシステムの大規模化に伴い、ますます大規模回路を高速にシミュレーションする必要性が増している。従来からソフトウェアのみによるシミュレーションの高速化の限界が指摘され、第8図に示すようなシミュレーション専用のハードウェアの開発が行われている。しかし、この従来のシミュレーション専用のハードウェアは、プロセッサ(演算装置)を多数並列に接続して動作させているものの、各プロセッサはマイクロプロセッサやメモリなどが使われており、必ずしもシミュレーションに最適なシステムであるとは言えなかった。このため高速化にも限界があり、世の中のニーズに対応しにくくなりつつある。

(発明が解決しようとする問題点)

従来の第8図に示すようなシミュレーション専用ハードウェアは、汎用性を考慮し、各プロセッサ(演算装置)があくまで回路の動作を模擬しているだけであって、従来のソフトウェアによるシミュレーションのハードウェア化でしかない。この

0などに対して、データを入力し、クロックを供給して論理演算処理を行わせ、その出力(結果)をホスト計算機に通知などするものである。

(作用)

本発明は、第1図に示すように、PLD00などを格子状に配置して相互を接続し、与えられた論理回路を分割して各PLD00などに対してプログラムした後、コントローラ1がデータを入力しつつクロックを供給して論理演算処理を行わせ、その結果をホスト計算機に通知して評価し、与えられた論理回路のシミュレーションを行うようにしている。

従って、与えられた論理回路を分割して各PLD00などにプログラムした後、データを入力してシミュレーションを行うことにより、PLD00などの演算処理速度によってシミュレーションを極めて高速に実行することが可能となる。

(実施例)

ため、各プロセッサ0ないしnにおける処理時間は、実際のデバイス(分割した論理回路)の遅延時間に比べてかなり遅いだけでなく、高速な大規模ネットワークを構築することが困難なため、プロセッサの台数もそれ程多くできず、高速に論理回路のシミュレーションを行い難いという問題点があった。

本発明は、複数のプログラマブル・ロジック・デバイスを格子状に配置して高速にシミュレーションを行うことを目的としている。

(問題点を解決するための手段)

第1図を参照しつつ問題点を解決するための手段を説明する。

第1図において、PLD00などは、プログラマブル・ロジック・デバイスであって、第2図に示すようにANDブレン2-1、ORブレン2-2、および出力マクロセル(FFなど)2-3などから夫々構成されるものである。

コントローラ1は、プログラムされたPLD0

次に、第1図から第7図を用いて本発明の1実施例の構成および動作を順次詳細に説明する。

第1図において、PLD00などは、プログラマブル・ロジック・デバイスである。これらのPLD00などは、格子状に配置され相互に入力と出力とが例えば図示のように接続されている。

コントローラ1は、プログラムされたPLD00などに対して、データを入力し、クロックを供給して論理演算処理を行わせ、その結果をホスト計算機に通知などするものである。

第2図は、PLDの構成例を示す。PLDは、図中に示すように、ANDブレン2-1(第5図を用いて後述する)、ORブレン2-2(第6図を用いて後述する)、および出力マクロセル(FFなど)2-3を図示のように接続したものである。これらANDブレン2-1およびORブレン2-2は、外部からブレン中の任意のドットを選択し、EPROMに書き込むと同様にしてプログラムすることが可能である。一旦書き込めば、当該PLDはプログラムによって指

示された論理回路として動作するようになる。尚、第7図(ロ)に示すように、PPを用いてPLDのANDブレン2-1およびORブレン2-2をプログラムし得るように構成することにより、RAMに書き込むと同様に高速に当該PLDをプログラムすることも可能となる。

次に、第3図を用いて本発明の構成の動作を順次説明する。

第3図において、図中④は、設計データベースからシミュレーション対象の回路(論理回路)を抽出する状態を示す。

図中⑤は、各PLDに対して回路を分割して書き込む状態を示す。これは、与えられた論理回路を複数に分割し、この分割した論理回路と等価となるようにPLD00などに書き込むことを意味している。これは、第4図(イ)に示すような回路記述を取り出し、これと等価となるようにPLD00などに対してプログラムする(書き込む)ことを意味している。

図中⑥は、シミュレーションを実行する状態を

る。

第5図はANDブレンの構成例を示す。これは、第2図ANDブレン2-1の具体的な構成例を示す。プログラム時には、X0ないしX51(2⁰-512)と、Y0ないしY63(2⁰-64)との両者がともに"1"になっているトランジスタTRのみ電源Vから電子を受け取り、そのトランジスタTRが活かされる(プログラムされる)。各トランジスタTRは、P-ROMのように、図示外のフローティングゲートへ電子が供給されると、当該トランジスタTRが機能するようになる(プログラムされる)。一方、電子が供給されないとトランジスタTRとしては働かない(プログラムされない)。

第6図はORブレンの構成例を示す。これは、第2図ORブレン2-2の具体的な構成例を示す。プログラム時にはPW=1とされ、第5図ANDブレンの場合と同様に、X0ないしX51と、Y0ないしY63との両者がともに"1"になっているトランジスタTRのみ電源Vから電

子を受け取り、そのトランジスタTRが活かされる(プログラムされる)。一方、電子が供給されないとトランジスタTRとしては働かない(プログラムされない)。PW=0とすることにより、通常動作(ORブレンとして動作)となる。

第7図はPLDのトランジスタ例を示す。第7図(イ)は、既述したように、図示外のフローティングゲートへ電子を供給する(プログラムする)と、当該トランジスタTRが働くようになる。

第7図(ロ)は、第7図(イ)の図示外に設けたフローティングゲートの代わりに"PP"を設け、この"PP"に対して書き込む(プログラムすることにより、図示構成のトランジスタが働くようになる。この"PP"に対する書き込みは、極めて速く行うことができるため、第1図に示す多数のPLDに対して高速にプログラムすることが可能となる。

尚、第2図プログラマブル・ロジック・デバイスの出力にPP(フリップ・フロップ)を設け、組み合せ回路のみでなく、順序回路を含む論理回

子を受け取り、そのトランジスタTRが活かされる(プログラムされる)。一方、電子が供給されないとトランジスタTRとしては働かない(プログラムされない)。PW=0とすることにより、通常動作(ORブレンとして動作)となる。

第7図はPLDのトランジスタ例を示す。第7図(イ)は、既述したように、図示外のフローティングゲートへ電子を供給する(プログラムする)と、当該トランジスタTRが働くようになる。

第7図(ロ)は、第7図(イ)の図示外に設けたフローティングゲートの代わりに"PP"を設け、この"PP"に対して書き込む(プログラムすることにより、図示構成のトランジスタが働くようになる。この"PP"に対する書き込みは、極めて速く行うことができるため、第1図に示す多数のPLDに対して高速にプログラムすることが可能となる。

尚、第2図プログラマブル・ロジック・デバイスの出力にPP(フリップ・フロップ)を設け、組み合せ回路のみでなく、順序回路を含む論理回

路についても、シミュレーションすることも可能である。

また、20入力、20出力、128積項のPLDを用い、1,000,000ゲート程度から構成される計算機をシミュレーションする本発明に係わるシステムを考える。ここで、1つのPLDで1,000ゲート程度を持たせると、 $1,000,000 \div 1,000 = 1,000$ 個のPLDを格子状に配置、即ち32個×32個のPLDを格子状に並べ、これらを第1図に示すように互いに接続がオーバーラップするように接続する。また、格子の周辺は、互いに反対側と接続するようにする。そして、各PLDをプログラムした後、データを入力して結果を得、これをホスト計算機に通知して解析し、評価を行うようにする。

(発明の効果)

以上説明したように、本発明によれば、与えられた論理回路を分割して各PLDにプログラムした後、データを入力してシミュレーションを行う

構成を採用しているため、シミュレーションを極めて高速に実行することができる。例えば1,000,000ゲートの論理回路を分割してPLDにプログラムし、このプログラムした後のPLDを20MHzのクロックを用いて動かすと、シミュレーション速度としては、 $1,000,000 \times 20 \times 10^6 = 2 \times 10^{13}$ ゲート/秒の評価速度が得られ、現在のシミュレーション専用ハードウェアに比し、 10^4 倍程度となり、極めて高速にシミュレーションを行うことが可能となる。

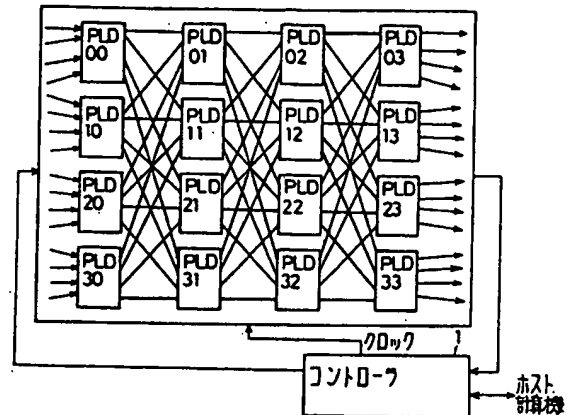
4. 図面の簡単な説明

第1図は本発明の1実施例構成図、第2図はプログラマブル・ロジック・デバイスの構造例、第3図は本発明のシステム構成図、第4図はシミュレーション対象の論理回路例、第5図はANDブレイクの構成例、第6図はORブレイクの構成例、第7図はPLDのトランジスタ例、第8図は従来技術の説明図を示す。

図中、1はコントローラ、2-1はANDブレイク、2-2はORブレイク、2-3は出力マクセル、PLD00などはプログラマブル・ロジック・デバイスを表す。

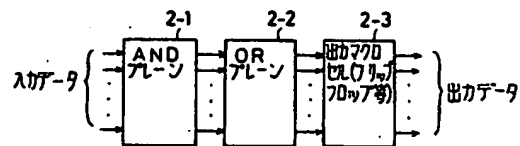
ン、2-2はORブレイク、2-3は出力マクセル、PLD00などはプログラマブル・ロジック・デバイスを表す。

代理人弁理士 井 術



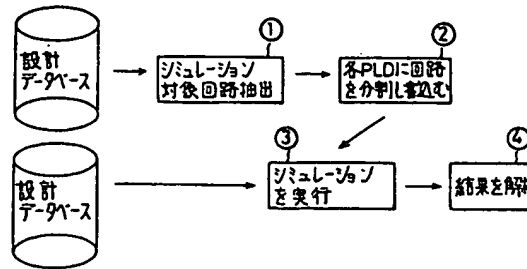
本発明の1実施例構成図

第 1 図



プログラマブル・ロジック・デバイスの構造例

第 2 図

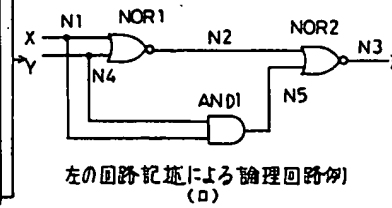


本発明のシステム構成図

第 3 図

```

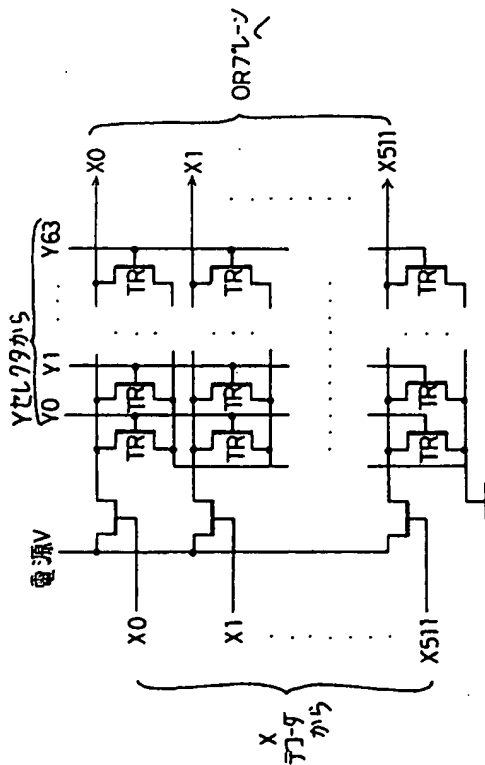
LEVEL: CHD;
INPUTS: .X, .Y;
OUTPUTS: .Z;
TYPES:
  R2N: NOR1, NOR2;
  N2P: AND1;
ENDTYPES;
NETS:
  N1: .X, NOR1.11, AND1.12;
  N2: NOR1.0, NOR2.11;
  N3: NOR2.0, .Z;
  N4: .Y, NOR1.12, AND1.11;
  N5: AND1.0, NOR2.12;
ENDNETS;
ENDUSER;
  
```



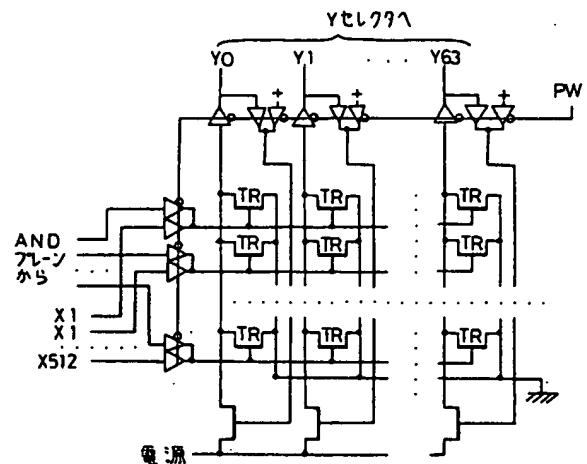
回路記述例
(1)

シミュレーション対象の論理回路例(部分)

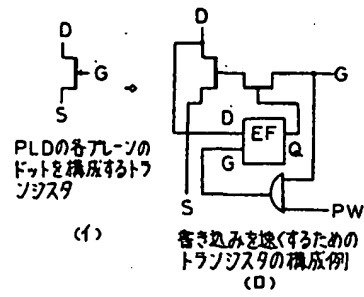
第 4 図



第 5 図

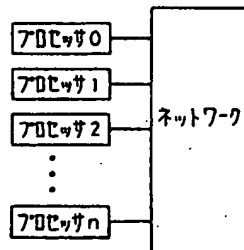


第 6 図



PLDのトランジスタ例

第 7 図



従来技術の説明図

第 8 図

Not Available Copy